

Video peripheral for a computer

Publication number: CN1125491

Publication date: 1996-06-26

Inventor: CUTTER DANIEL F (US)

Applicant: DATA TRANSLATION INC (US)

Classification:

- international: G06F13/36; H04N5/765; H04N5/91; H04N5/92;
G06F13/36; H04N5/765; H04N5/91; H04N5/92; (IPC1-7): G06F13/00; G06F13/36

- European: G06F13/36; H04N5/765

Application number: CN19941092291 19940310

Priority number(s): US19930048490 19930416

Also published as:

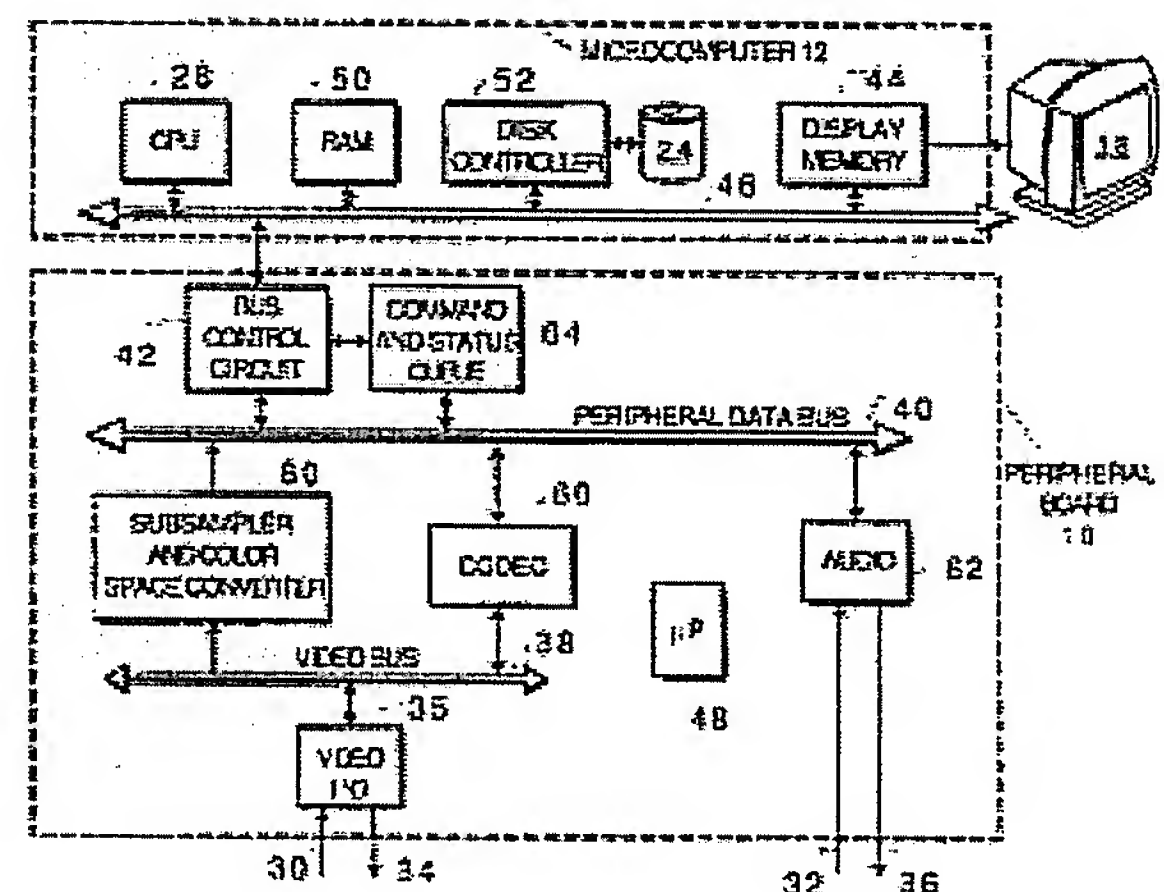
WO9424626 (A1)
US5488695 (A1)
EP0694186 (A4)
EP0694186 (A0)
AU685098B (B2)

Report a data error here

Abstract not available for CN1125491

Abstract of corresponding document: WO9424626

A video peripheral board (10) for providing video I/O to a host computer (12). The video peripheral board (10) further comprises: a video I/O port (35), a bus interface circuit (42), an audio I/O port (62), a command and status queue (64), a subsampler and color space converter (80), a video bus (38), a peripheral data bus (40) and a microprocessor (48). The bus interface circuit (42) is configured to connect the video peripheral board (10) into a system bus (46) of the host computer (12), and it is capable of becoming bus master of the system bus. The microprocessor (48) is configured to control the bus interface circuit (42) to effect transfer of video data in real time between the video I/O port (35) and a storage (24) of the host computer.



Data supplied from the esp@cenet database - Worldwide



[12] 发明专利申请公开说明书

[21]申请号 94192291.X

[51]Int.Cl⁶

G06F 13/00

[43]公开日 1996年6月26日

[22]申请日 94.3.10

[30]优先权

[32]93.4.16 [33]US[31]08/048,490

[86]国际申请 PCT/US94/02582 94.3.10

[87]国际公布 WO94/24626 英 94.10.27

[85]进入国家阶段日期 95.11.28

[71]申请人 数据翻译公司

地址 美国马萨诸塞州

[72]发明人 D·F·库特

[74]专利代理机构 中国专利代理(香港)有限公司

代理人 王 勇 张志醒

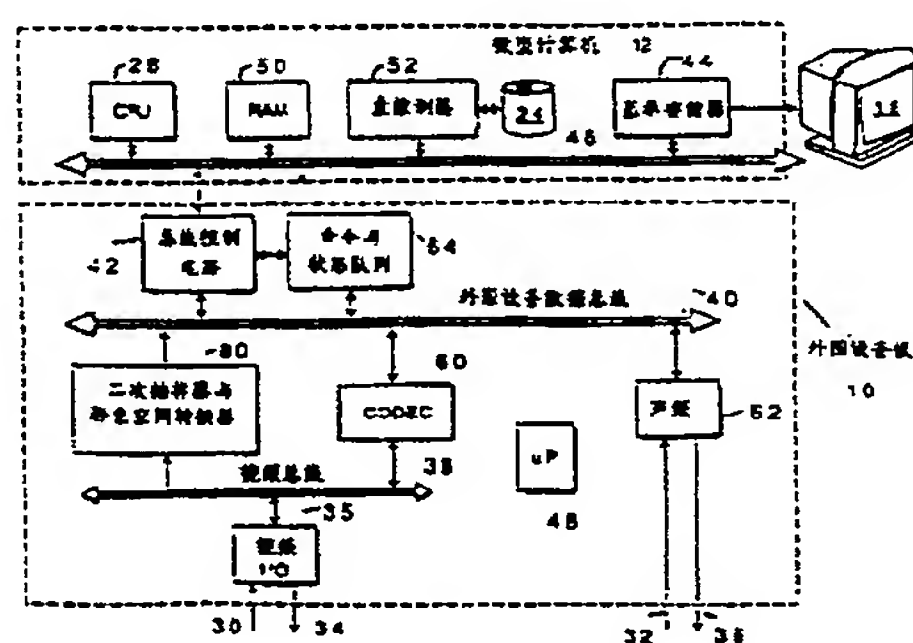
G06F 13/36

权利要求书 8 页 说明书 20 页 附图页数 7 页

[54]发明名称 计算机的视频外围设备

[57]摘要

一种用于向主计算机(12)提供视频I/O的视频外围设备板(10)。该视频外围设备板(10)还包括:一个视频I/O端口(35)、一个总线接口电路(42)、一个音频I/O端口(62)、一个命令与状态队列(64)、一个二次抽样与彩色空间转换器(80)、一条视频总线(38)、一条外围设备数据总线(40)及一个微处理器(48)。总线接口电路(42)配置成将视频外围设备板(10)连接在主计算机(12)的一条系统总线(46)中,并且它能成为系统总线的总线主控制器。微处理器(48)配置成控制总线接口电路(42)去实现视频I/O端口(35)与主计算机的存储器(24)之间的实时视频数据传送。



(BJ)第 1456 号

权 利 要 求 书

1. 一种视频外围设备板, 用于向通用主计算机提供视频 I/O 能力, 该视频外围设备板包括:

一个视频 I/O 端口, 配置成连接一个视频设备;

一个总线接口电路, 配置成将该视频外围设备板连接进主计算机的一条系统总线中, 所述总线接口电路能够成为所述系统总线的总线主控器; 以及

控制逻辑, 配置成控制所述总线接口电路来实现所述视频 I/O 端口与主计算机的存储器之间的视频数据传输, 所述视频数据实时通过所述视频 I/O 端口。

2. 权利要求 1 的视频外围设备板, 其中所述控制逻辑接受来自主计算机的 CPU 的控制命令以开始所述数据移动, 来自主机 CPU 的命令以停止所述数据移动, 以及来自主机 CPU 的描述所述数据要移动到其中的所述存储器中的地址的指令, 并且所述外围设备继续所述启动与停止命令之间的所述数据移动而无须来自主机 CPU 的进一步控制。

3. 权利要求 2 的视频外围设备板, 其中所述存储器为随机存取存储器。

4. 权利要求 1 的视频外围设备板, 还包括一个声频 I/O 端口, 配置成连接一个用于声频的源/目的地设备; 以及其中所述控制逻辑也实现所述声频 I/O 端口与主计算机的所述存储器之间的声频数据传输, 所述声频数据实时通过所述声频 I/O 端口。

5. 权利要求 1 的视频外围设备, 其中所述控制逻辑包括一个

微处理器。

6. 权利要求 1 的视频外围设备, 其中:

该外围设备板具有两条或两条以上通过该外围设备板的数据链路, 各所述链路具有两个端点与一个优先级, 各所述端点连接在所述总线接口电路或所述视频 I/O 端口或该外围设备板的另一个 I/O 端口上, 两条所述链路中的每条的至少一端点连接在所述总线接口电路上, 以及各所述 I/O 端口连接在所述链路之一的一端上; 以及

所述控制逻辑配置成控制所述总线接口电路与所述数据链路实现在所述链路上的实时数据传送, 以及调度在所述链路中较高优先级的一条上的传送比所述链路中较低优先级的一条上的传送优先完成。

7. 权利要求 6 的视频外围设备板, 其中一条所述链路为一条二次抽样链路, 及另一条所述链路包括一个压缩/解压缩编码器。

8. 权利要求 6 的视频外围设备板, 其中一条所述链路为一条声频链路。

9. 权利要求 1 的外围设备板, 其中所述存储器为主计算机的 RAM, 及所述主计算机是编程为管理所述 RAM 与所述主计算机的一个大容量存储设备之间的所述数据传送的, 所述控制逻辑编程为与所述主机的传送管理合作。

10. 权利要求 1 的视频外围设备板, 还包括将视频数据组合成供在所述系统总线上传送的块的逻辑。

11. 权利要求 1 的视频外围设备板, 其中所述总线接口电路配置成将数据存储进主计算机的所述存储器的一个指定的特定

地址中;及

所述控制逻辑还配置成

从主计算机接受所述存储器中的一个缓冲器的地址;

指定所述缓冲器中的特定地址,以便以与在所述视频I/O端口上接收的所述数据的顺序组织不同的组织将所述数据重组进所述缓冲器中;以及

控制所述总线接口电路去实现从所述视频I/O端口到所述特定地址上的所述缓冲器的实时数据传送。

12. 权利要求1的视频外围设备板,其中所述总线接口电路配置成从主计算机的所述存储器的一个指定的特定地址上读取数据;以及

所述控制逻辑还配置成

控制所述总线接口电路去实现从所述存储器通过所述总线接口电路到视频外围设备板的实时数据传送;及

将传送到所述视频外围设备板的所述数据多路分解成控制所述视频外围设备板的一个部分及在所述视频I/O端口上输出的一个部分。

13. 权利要求1的视频外围设备板,还包括:

所述视频I/O端口与所述总线接口电路之间的一个压缩/解压缩编码器,用于压缩或解压缩所述视频数据。

14. 一种外围设备板,用于向通用主计算机提供输入/输出(I/O)能力,该外围设备板包括:

一个或多个I/O端口,各配置成连接一个外部外围设备;

一个总线接口电路,配置成将该外围设备板连接在主计算机

的一条系统总线上, 所述总线接口电路能够成为所述系统总线的总线主控器;

两条或两条以上通过该外围设备板的数据链路, 各所述链路用于在所述链路的两端点之间传送数据并具有一个优先级, 各所述端点连接在所述总线接口电路或所述 I/O 端口之一上, 两条所述链路中各条的至少一个端点连接在所述总线接口电路上, 及各所述 I/O 端口连接在所述链路之一的一个端点上; 以及

控制逻辑, 配置成控制所述总线接口电路与所述数据链路去实现所述链路上的实时数据传送, 及调度所述链路中较高优先级的一条上的传送比所述链路中较低优先级的一条的传送优先完成。

15. 权利要求 14 的外围设备板, 其中所述调度是基于优先级的, 以维护高优先级链路的完整性。

16. 权利要求 15 的外围设备板, 其中:

所述较低优先级链路包括一个二次抽样器, 用于二次抽样视频数据到主计算机的显示存储器中;

所述较高优先级链路将主计算机连接到所述 I/O 端口之一上的一个视频设备上; 以及

所述控制逻辑为了维护所述较高优先级链路上实时数据传送的完整性而配置成暂停所述二次抽样链路。

17. 权利要求 16 的外围设备板, 其中所述较高优先级链路包括一个压缩/解压缩编码器。

18. 权利要求 14 的外围设备板, 其中该外部外围设备实时提供或使用所述 I/O 端口之一上的数据, 该外围设备板还包括一个

先进先出排队存储器 (FIFO) 来存储所述总线接口电路与所述一个 I/O 端口之间的所述数据。

19. 权利要求 14 的外围设备板, 还包括将数据组合成供在所述系统总线上传送的块的逻辑。

20. 权利要求 14 的外围设备板, 其中所述控制逻辑包括一个微处理器。

21. 权利要求 14 的外围设备板, 其中: 所述总线接口电路配置成在主计算机的所述存储器的一个指定的特定地址上存储数据; 以及

所述控制逻辑还配置成

从主计算机接收所述存储器中的一个缓冲器的地址;

指定所述缓冲器中的特定地址以便以不同于在所述 I/O 端口上接收的所述数据的顺序组织的结构将所述数据重组进所述缓冲器中; 以及

控制所述总线接口电路去实现从所述 I/O 端口到所述特定地址上的所述缓冲器的实时数据传送。

22. 权利要求 14 的外围设备板, 其中:

所述总线接口电路配置成从主计算机的所述存储器的一个指定的特定地址上读取数据; 以及

所述控制逻辑还配置成

控制所述总线接口电路去实现从所述存储器通过所述总线接口电路到该外围设备板的实时数据传送; 以及

将传送到所述外围设备板的所述数据多路分解成控制所述外围设备板的一个部分及在所述 I/O 端口上输出的一个部

分。

23. 一种外围设备板, 用于向通用主计算机提供输入能力, 该外围设备板包括:

一个输入端口, 配置成接受来自一个外部外围设备的顺序数据;

一个总线接口电路, 配置成将该外围设备板连接在主计算机的一条系统总线上, 所述总线接口电路能成为所述系统总线的总线主控器, 并将数据存储进主计算机的一个存储器的指定的特定地址上; 以及

控制逻辑配置成

从主计算机接收所述存储器中的一个缓冲器的地址;

指定所述缓冲器中的特定地址以便以不同于在所述输入端口上接收的所述数据的顺序组织的结构将所述数据重组进所述缓冲器中; 以及

控制所述总线接口电路去实现从所述输入端口到所述特定地址上的所述缓冲器的实时数据传送。

24. 权利要求 23 的外围设备板, 其中所述重组包括将所述数据插入与所述数据相关的控制信息存储在所述缓冲器中。

25. 权利要求 23 的外围设备板, 其中所述接收的数据是分成两部分的, 接连的部分通常具有不同长度, 并且所述指定的地址是以顺序递增的次序生成的用于存储各所述部分的数据, 所述地址的其它部分是生成为在所述接收的与存储的数据之间留出一个间隙的。

26. 权利要求 23 的外围设备板, 其中所述存储器为主计算机

的 RAM, 以及所述主计算机是编程为管理在所述 RAM 与所述主计算机的一个大容量存储设备之间的所述数据传送的, 所述控制逻辑编程为与所述主机的传送管理合作。

27. 权利要求 23 的外围设备板, 其中所述存储器为该主计算机的随机存取存储器。

28. 权利要求 23 的外围设备板, 其中所述指定的地址不是以顺序递增的次序生成的。

29. 权利要求 23 的外围设备板, 还包括在所述输入端口与所述总线控制电路之间的一个 FIFO。

30. 一种外围设备板, 用于向通用主计算机提供输出能力, 该外围设备板包括:

一个输出端口, 配置成将数据输出到一个外部外围设备;

一个总线接口电路, 配置成将外围设备板连接在主计算机的一条系统总线上, 所述总线接口电路能够成为所述系统总线的总线主控器, 并从主计算机的一个存储器的一个指定的特定地址上检索数据;

控制逻辑配置成

控制所述总线接口电路去实现从所述存储器通过所述总线接口电路到外围设备板的实时数据传送; 以及

将传送到所述外围设备板的所述数据多路分解成控制所述外围设备板的一个部分及在所述输出端口上输出的一个部分。

31. 权利要求 30 的外围设备板, 其中所述存储器为主计算机的随机存取存储器。

32. 权利要求 30 的外围设备板, 其中所述指定的地址不是以顺序递增的次序生成的。

33. 权利要求 30 的外围设备板, 还包括所述总线控制电路与所述输出端口之间的一个 FIFO。

说明书

计算机的视频外围设备

交叉参照相关申请

通过参照将与本申请一起提交的标题为“在计算机显示器上显示二次抽样的视频图象”、“自适应视频压缩”、“自适应视频解压缩”、及“同步数字声频与数字视频”等专利申请结合在此。

本发明的背景

本发明涉及基于微型计算机的视频处理，更具体地涉及在一台微型计算机的设备间传送视频数据的装置。

随着高清晰度彩色计算机显示器与处理能力的成本的下降，正在崛起的微型计算机的应用之一便是视频后制作——在编辑过程中利用计算机的显示器作为监视器来显示与编辑视频图象，在计算机视频编辑系统中，读取一个视频源（通常为一个带式录象机），并以数字格式将其存储在一台计算机的盘上。视频信号可以播放、编辑及写回到视频设备上。

由于走带机构至少需要十分之几秒来停止或启动磁带的运动，计算机必须在磁带通过磁头时从/向磁带读取或写入视频数据；即，计算机必须实时处理视频数据。在带到盘、编辑及盘到带过程中，仅是实时拷贝视频与声频数据便提出极大的计算需求，在视频节目的净数据量中便能容易地看到——每秒 30 帧、每帧 300,000 个以上象素，以及每个象素若干位。除了执行数据拷贝操作以外，微型计算机还必须维护整个系统管理并与用户交互作

用。随着数据流的需求接近微型计算机能够有效地管理的最高速度，数据完整性受到威胁。如果视频设备从/到主计算机的大容量存储器的链路上的任何中间存储区溢出，数据将被丢失。这种丢失可能是难于修补的。

在已知的视频编辑系统中，主计算机的 CPU 负责设备之间的数据拷贝、保持视频监视器被更新以及并发执行用户命令及监视其它系统活动。传统上，主 CPU 控制通过计算机的数据流，包括所有的实时特征。已知的视频外围设备卡承担了某些对数据运动的控制，但主 CPU 仍然要对良好的细微实时控制负责。数据管理需求随数据量的波动而波动，例如当视频帧的压缩性能变化时。

本发明的概要

本发明通过将时间关键的数据处理任务分配给定制的外围设备而提供实现实时视频数据输入的技术与装置。主微型计算机在维护整个系统行为的监控时并不需要实时响应数据拷贝请求。本发明能使数据在视频设备与主机大容量存储器之间可靠地传送。

总的说来，本发明第一方面的特征在于一块用于向通用主计算机提供视频 I/O 能力的视频外围设备板。该视频外围设备板包括一个配置成连接一个视频设备的视频 I/O 端口、一个总线接口电路及控制逻辑。总线接口电路配置成将视频外围设备板连接到主机的一条系统总线中，并能够成为该系统总线的总线主控制器。控制逻辑配置成控制总线接口电路来实现视频 I/O 端口与主机的存储器之间的视频数据传送，视频数据实时通过视频 I/O 端

口。

本发明的较佳实施例可包含以下特征。控制逻辑接受来自主机的启动或停止数据运动的命令，或者指定待存储数据的地址的消息，而外围设备继续进行数据流动而无须来自主机 CPU 的进一步控制。存储器便是主机的 RAM。视频外围设备板具有一个音频 I/O 端口。控制逻辑为一个微处理器。主计算机编程为管理 RAM 与一个大容量存储设备之间的视频数据传送。视频外围设备板上包含将视频数据组成供在系统总线上传送的块的逻辑。

第二方面，本发明的特征在于一块向通用主计算机提供输入/输出 (I/O) 能力的外围设备板。该外围设备包含一个或多个 I/O 端口、一个总线接口电路、通过外围设备板的两条或多条数据链路，以及配置成控制总线接口电路与数据链路实现在链路上的数据实时传送及调度链路中具有较高优先级的一条比链路中具有较低优先级的一条优先完成传送的控制逻辑。

较佳实施例可包含下述特征。调度是基于优先级的以维护高优先级链路的完整性。低优先级链路包含一个二次抽样器，并且高优先级链路可能利用链路上的一个 CODEC 在 I/O 端口之一上将主计算机连接在一个视频设备上。为了维护在高优先级链路上实时传送的数据的完整性，控制逻辑配置成暂停二次抽样链路。链路中可包括缓冲器 FIFO。外围设备板上具有将数据组合成块供在系统总线上传送的逻辑。控制逻辑为一个微处理器。

第三方面，本发明的特征在于一种向一台通用主计算机提供输入能力的外围设备板。该外围设备板的特征在于一个按接收顺序排序的数据的输入端口；一个总线接口电路；及控制逻辑，控制

逻辑配置成接收来自主计算机的主机存储器中的一个缓冲器的地址，及指定该缓冲器中的特定地址，以便以不同于在输入端口上接收数据的顺序组织的结构将该数据重组进缓冲器中，及控制总线接口电路从输入端口到特定地址上的缓冲器实现数据的实时传送。

本发明的较佳实施例可包含下述特征。控制逻辑执行的重组包括将数据存储进缓冲器中，插入关于数据的控制信息。将接收的数据在逻辑上组成可变长度记录，而控制逻辑将记录存储进存储器中，同时留出一个间隙供各记录的首部使用。指定的地址是以不用于顺序递增的次序生成的。

第四方面，本发明提供了一种用于向一台通用主计算机提供输出能力的外围设备板。该外围设备板包含一个输出端口、一个总线接口电路及控制逻辑。该控制逻辑控制总线接口电路实现从存储器通过总线接口电路到外围设备板的实时数据传送。该控制逻辑还将传送到外围设备板的数据分解成控制外围设备板的一个部分及在输出端口上输出的一个部分。

本发明提供下述优点。主计算机摆脱了任何低等待时间的实时控制责任。外围设备承担了确定传送数据的 RAM 中的地址及格式化数据的责任，将这些任务从主机接受过来。外围设备异步地、动态地及自适应地处理数据。外围设备能按照输入的容量调整其处理输入数据的方法。输入可以是可变长度的；外围设备编程为正确地引导该数据而无须主机 CPU 提供可变长度指定。外围设备能存储与实际描述性数据混在一起的“出带” (out of band) 控制数据，减轻主机这一格式化杂务。

从下面的一个较佳实施例的描述及权利要求书中, 本发明的其它优点与特征将是显然的。

较佳实施例的描述

下面描述该较佳实施例。

图 1 为用在按照本发明操作的一个视频编辑系统中的部件的示意性透视图。

图 2 为用在图 1 的系统中的一台主计算机及一块视频外围设备板的方框图。

图 3 为主计算机的另一种组成的方框图。

图 4 为详细说明图 2 的视频外围设备板的某些特征的方框图。

图 5 为图 2 的总线控制电路的方框图。

图 6 为用于主机向外围设备提供命令的数据结构。

图 7 示出压缩视频数据包的格式。

图 8a 与 8b 构成展示系统的操作的流程图。

系统总览

参见图 1 与 2, 视频编辑系统 11 包括插接在主计算机 12 中的外围设备板 10。其它部件包括视频带式录象机 (VTR) 16、监视器 18、键盘 20、鼠标器 22 及大容量存储盘 24。提供视频编辑功能的软件分成两部分, 一个部分 26 在主计算机的中央处理单元 (CPU) 28 上执行, 通常提供一个用户接口与监控, 一个部分 14 在外围设备板上执行, 通常控制该外围设备板、外围设备板内部的数据传送以及主计算机与外围设备之间的数据传送。

在视频编辑系统 11 中, 视频是通过视频输入端口 30 读取

的,而声频则是通过声频输入端口 32 读取的。在读取数据时,数字化及压缩视频信号,并数字化声频信号,将视频与声频存储在盘 24 上。压缩的视频/声频数据可以解压缩并在显示器 18 与扬声器(未示出)上播放。视频编辑软件 26 允许用户将压缩的视频与声频部分剪辑成一个视频/声频节目。当用户编辑节目时,能以与单帧一样小的小增量或者以剪辑组合播放及重新排列该节目,一旦用户对得出的节目感到满意,便能以全帧速率通过视频输出端口 34 及声频输出端口 36 将它输出到一个视频收集设备(诸如 VTR 16)或广播设备。

参见图 2,该外围设备板具有视频与声频端口 30-36(连接 VTR 或其它视频设备),总线控制电路 42(与主计算机 12 接口)、各种信号处理链路及监控微处理器 48。链路中包括一条通过一个压缩/解压缩编码器/解码器 60 将数字化的视频传送到或自主计算机盘 24 的双向链路及一条在主计算机显示器 18 上显示数字化的视频的单向色彩空间转换(CSC)与二次抽样链路。视频 I/O 端口电路 30 将视频数据从 VTR 的模拟制式(诸如 VTSC 或 PAL)转换成数字制式(诸如 YUV4:2:2 制式),并将数字视频放在视频总线 38 上。(视频解压缩期间,视频总线 38 也能由 CODEC 60 写入。)微处理器 48 控制外围设备板的部件。

跟踪从视频总线 38 到二次抽样链路上的显示屏的一个视频信号的链路,从视频总线 38 上读取 YUV 数据,在二次抽样器/CSC 80 上转换成显示系统所要求的格式并加以二次抽样以符合显示器的二次抽样窗口,并写到外围设备数据总线 40 上。总线控制电路 42 通过主计算机 12 的系统总线 46 将数据写入主计算机

12 的显示存储器 (也称“帧缓冲器”) 44 中。显示系统显示写入显示存储器 44 的数据。微处理器 48 控制外围设备板上的部件。

录制时, CODEC 60 从视频总线 38 上取 YUV 制式的视频信号, 将其压缩成一种压缩的格式, 写到外围设备数据总线 40 上。总线控制电路 42 从外围设备数据总线 40 上取压缩的视频并将其存储进主机的 RAM 50 中的缓冲器中。主机 CPU 28 定期将缓冲器倾泻进盘 24 中。

播放时, 颠倒这一过程: 主机 CPU 将压缩的视频数据从盘 24 中读入 RAM 24 中的缓冲器中。总线控制电路 42 将数据从缓冲器拷贝到 CODEC 60, 后者解压缩数据, 并将它们输出到视频数据总线 38。从那里便能通过二次抽样链路将解压缩的视频数据显示到主机的显示器 18 上, 与/或通过视频输出端口 34 输出。

同时, 通过一个声频控制器 62 及一个声频 I/O 端口 32、36 可将多达四条声道从 VTR (或其它声源) 传送到外围设备的数据总线 46 上, 或者反过来。

在图 3 中所示的主计算机的另一种组成中, 主计算机的 CPU 28、显示存储器 (也称“帧缓冲器”) 44、主存储器 50 与/或盘控制 52 等部件可用专用总线 54 与系统总线 46 之间的总线接口 56 通过主计算机 12 专用的总线 54 传送数据。在这一情况中, 外围设备的总线控制电路 42 将数据传送到/自系统总线 46, 而主机的总线接口 56 进一步引导数据到/自主计算机的专用总线 54 上的设备上。

在任何视频信号中, 存在着一个垂直消隐周期以复位从屏幕的底部到屏幕的顶部的回扫。在垂直消隐周期中, 电子束是停止

的,因此它不会改写前面的场。在垂直消隐周期中,出现一个称作“垂直同步”脉冲的同步脉冲。在隔行扫描格式中,每帧有两个垂直消隐周期,从而有两个垂直同步脉冲,每一个位于各场结束时。这两个垂直同步脉冲可通过它们对一帧的两个场中的实际图象数据的定时关系加以区别。

许多总线协议允许多个总线主控器。总线主控器便是当前“拥有”总线的设备,即能够在总线上起动一次读或写事务的单个设备。其它设备可协商从当前总线主控器取得总线。在某些总线协议中,其它设备在被要求将总线还给原来的总线主控器之前只允许在一个有限的时间内成为总线主控器。在其它协议中,新总线主控器继续拥有总线直到另一个设备又协商取走总线为止。

总线控制电路 42 能成为系统总线 40 的总线主控器,并且如果存在专用总线 54 时也能成为它的总线主控器,因此外围设备 10 能直接与主机 RAM 50 (或显示存储器 44) 交互作用而不涉及主机 CPU 28。这便允许外围设备 10 与主机 CPU 28 分时存取 RAM 50: 例如,当外围设备 10 正向/从 RAM 50 传送数据时,主机 CPU 28 能并行地进行来自寄存器与高速缓存的操作。要求主机的唯一支持便是管理 RAM 50 与盘 24 之间的数据传送。

外围设备 10 力图保持的两种资源为主计算机的 CPU 28 与总线 46 与 54 上的带宽。外围设备通过执行数据转换(诸如压缩编码、解压缩解码与彩色空间转换)与数据移动功能来做到这一点。外围设备是处于主机 CPU 28 的总的管理下的,但主机 CPU 不需要行使对外围设备的逐个字的监控。

需要两级定时控制来完成这些同步动作。第一级实现在主机

CPU 28 中的软件 26 及外围设备的微处理器 48 的软件 14 中。第二级定时控制在硬件中执行使得来自/去往压缩电路的视频数据在要求数据传输的外围设备的不同速率上发出/使用。

结构

图 4 更详细地示出通过外围设备板 10 的主要数据链路。视频数据总线 38 携带由诸如视频输入端口 30 或 CODEC 60 的解码器部分等若干部件中任何一种所生成的视频数据。数据总线 40 携带来自二次抽样链路的二次抽样视频或去往/来自 CODEC 路径的编码视频信号。总线控制电路 42 传送给/来自外围数据总线 40 来自/去往主机 RAM 50 或显示存储器 44 的数据。(图 2 中主机配置成 RAM 与显示存储器连接在系统总线上的组成, 或者图 3 中主机具有一条专用总线的组成都能应用。)

CODEC 60 实现为 LSI 逻辑的一个三芯片组, L64765 QC-30 CSRBC、L64735 QC-35 DCT 处理器及 L64745 QC-30 JPEG 编码器。二次抽样器与彩色空间转换器 80 实现在象素半导体的 CL-PX 0070 视频窗口发生器中, 提供从各种标准数字视频输入制式到各种 RGB 编码输出的转换; 所选择的 RGB 格式应当与计算机的显示系统 18 所要求的匹配。

视频数据总线 38、彩色空间转换器与二次抽样器 80 以及 CODEC 60 受限于在视频 I/O 系统的速率上操作。但负有服务于来自各种外围设备及用户程序的中断的责任的主计算机 12 则不能提供实时服务。FIFO (先进先出排队存储器) 90、92、94 从主计算机 12 及外围设备数据总线 40 的内在异步操作上摆脱同步视频数据总线 38 的实时操作及需求。

在二次抽样链路上, 将彩色空间转换的二次抽样像素值 88 缓存在一个二次抽样 FIFO 90 中。总线控制电路 42 从 FIFO 90 中读出二次抽样视频并将像素值组合成能够经由系统总线 46 高效地传送到显示存储器 44 的块。二次抽样 FIFO 90 采用 25ns 部件, 并且是 32 位宽与 16K 字深的, 各个项用于编码一个像素的 RGB 值。

压缩 FIFO 90 及解压缩 FIFO 94 将 CODEC 60 连接在外围数据总线 40 上。压缩 FIFO 92 及解压缩 FIFO 94 各为 32 位宽、16K 字深并使用 25ns 部件。

在较佳实施例中, 控制外围设备板的微处理器 48 为一个 Motorola MC 68030。选择了一种相对快速的微处理器来满足实时服务的等待时间需求。在微处理器 48 控制下的外围设备板 10 的部件中包括总线控制电路 42、二次抽样器与彩色空间转换器 80 以及 CODEC 60。控制是通过监视二次抽样 FIFO 90、压缩与解压缩 FIFO 92、94、声频链路中的 FIFO 以及来自主机 CPU 的消息实现的。

微处理器 48 调度外围设备板内部及外围设备 FIFO 与主计算机的 RAM 之间的数据传输。调度器的第一优先级是维持从视频/声频输入端口 30、32 到主机盘 24 或从盘到视频/声频输出端口 34、36 的数据流的完整性。诸如更新二次抽样窗口等其余的数据移动操作是围绕这一主流调度的。

微处理器 48 监视 FIFO 90、92、94、96 及 98 的填充程度, 并接受来自主机 CPU 28 的命令与消息。各 FIFO 能指示四种填充程度: 空、至少一项满、超过可编程的“临界”程度及溢出。来自主

机 CPU 28 的命令在本质上是监控性的, 诸如“开始二次抽样”、“停止压缩”等。这些消息指示主机 RAM 50 中的缓冲器的单元, 或者缓冲器是满的并准备好拷贝到外围设备板 10 上。微处理器 48 指导总线控制电路 42, 并将状态信息返回给主机 CPU 28。对总线控制电路 42 的命令可指定主机 RAM 50 中的一个给定的地址与一个特定的 FIFO 之间的一次传送, 或者从外围设备板 10 的控制寄存器之一到主机 RAM 50 中的一个地址的一次传送, 微处理器 48 中断主机 CPU 28, 告诉它一个输入缓冲器已满且能倾泻到盘上, 或者一个 FIFO 已溢出。

主机 CPU 28 与外围设备板 10 通过外围设备命令与状态队列 64 通信。该命令与状态队列为一个双向 FIFO, 类似于带有将在一个方向上发送的消息与在另一方向上发送的消息分隔开的中间隔离带的多车道高速公路。该队列占用系统总线上的一个单一地址; 为了将一则多个字的消息写入外围设备, 主机依次将各字写到该地址的地址上。微处理器 48 从命令队列 64 中抽取这些消息并依次在各个上操作。当微处理器 48 从外围设备发送一则消息到主机时, 它中断主机告诉它有一则消息在命令与状态队列 64 中等待。下面结合二次抽样与播放操作讨论这些数据结构与消息的用途。

参见图 5, 总线控制电路 42 将系统总线 46 接口到外围设备板 10 上。缓冲器 220 缓存系统总线的总线数据与地址线。数据缓冲器 224 缓存待发送到系统总线 46 及从那里接收的数据, 并且从属地址锁存器 226 锁存地址。外围设备板 10 可作为总线主控制器工作; 在这一模式中时, 总线主控制器地址发生器 236 (协同微处

理器 48) 生成用于这些总线事务的地址。总线主/从控制逻辑 228 生成与接收去往/来自总线的控制信号 230 并将信号 232、234 传递自/往微处理器 48 及外围设备板的其它部件。

微处理器 48 指定对总线控制电路的相对大的数据传送, 而总线控制电路 42 则将大的传送请求分解成小块。这种分块相对于每次一个 32 位字提高了效率, 并且还防止了任何一次传送占用总线至不能接受的长时间。块间间隔允许诸如 CODEC 拷贝操作、声道拷贝操作或动态 RAM 刷新周期等高优先级操作抢先于诸如二次抽样视频数据流等低优先级操作。

控制二次抽样器的消息格式示出在图 6 中所示的 C 数据结构中。“enum Subsample_ mode_ t”为主机能用来控制二次抽样器的停止/启动命令词汇。二次抽样器能在下一帧边界上或立即引导到停机。可指导二次抽样器抽样及显示一帧及停止 (k_ one_ frame), 二次抽样每一帧 (k_ Full_ Speed), 或每隔一帧抽样 (k_ Half_ Speed)。半速设定令象素二次抽样器部件每隔一帧忽略一帧。消息包本身包含一个带有包长度及源与目的地址的首部。“类型”项区别组合中的变型 (只示出了与二次抽样器操作相关的类型)。外围设备在处理过该包后求序号的反码; 这便允许主机将回答包与它发布给该外围设备的包互相关联。联合的窗口位置变型指定用于二次抽样窗口的左上象素的主机存储器中的地址。项“row_ bytes”(行地址) 告知显示存储器的相继扫描行之间的地址偏移。项“高度”与“宽度”告知二次抽样窗口的尺寸。消息包结构中具有图 6 中未示出的其它项, 诸如主机用来管理其存储器中的一个消息包池的项, 但这些项并不传输给外围设备。

较佳的主计算机为 Apple Macintosh 型号 Quadra 950 或更快的型号。

视频编辑对话是在主计算机的 CPU 上运行的软件 26 的控制下的。这一软件向人类用户提供一个用于控制视频编辑对话的图形用户接口,并监控外围设备板 10 的操作。然而,对主机 CPU 28 要求的监控是有限的:例如,对于二次抽样, CPU 28 提供一则消息给外围设备板以开始在一个指定的屏幕位置上的窗口中显示视频。以后的消息可指导外围设备板将视频窗口移动到该屏幕的一个不同窗口,或者停止显示,但对于简单地持续该视频显示则无须来自 Macintosh CPU 的进一步消息或计算。对于向或从视频 I/O 端口 30、34 拷贝数据,主机 CPU 28 只须从/向盘 24 拷贝数据到/自 RAM 50;其余的处理是由外围设备板 10 执行的。

图 7 示出存储在盘上的一个编码视频场的数据包格式 110。在 131 个字的包首部中存储了一个全 Q 因子组与数据计数。Q 因子是作为 64 个色度项与 64 个亮度项 112、114 存储的。标识符标志 111、113 标识哪 64 项为色度及哪些是亮度。每一个 Q 因子为 8 位,但在包中,一个 Q 因子填充到 32 位。一个 32 位计数 115 指明后随的压缩数据的字数 1 count, 后面跟随 1count 个字的场图象的压缩数据 116。从而,各视频场具有其解码键 Q 因子组 112、114 并与之一起存储。接连的场可以是用相同的 Q 因子编码的,但这些场的压缩图象仍然与完整的相同的 Q 因子首部 111-114 一起存储。这便使得 Q 因子的改变能在压缩视频数据的任何场边界上发生。

总线控制电路 42 与微处理器 48 承担将视频数据从 CODEC

60传送到主机 RAM 50 中的缓冲器中的全部实时负担。从 RAM 缓冲器到盘24 的传送可由主机 CPU 28 异步地完成。压缩期间主机的唯一责任为保持足够的可利用的与空的盘缓冲器供应外围设备在压缩中使用, 或者在解压缩时供应可利用的与满的盘缓冲器。主机通过将满的缓冲器倾泻到盘 24 而保持其空缓冲器的供应。

操作

参见图 8a, 系统操作如下。在主计算机开机及执行其引导过程时, 它查询显示系统来判定是否有外部显示设备位于系统总线上(如图 2 中所示), 或是否该显示器在主机专用总线上(如图 3 中所示), 以及显示存储器映射到什么地址上。主机还查询扩展槽中的各外围设备板, 并为它们中的每一块建立存储器地址。

作为其开机例程的一部分, 外围设备板 10 运行一个自检诊断程序(存储在外围设备板 10 上的 ROM 中) 然后等待从主计算机 12 卸载软件 14 到微处理器 48。当在主计算机 12 上启动视频编辑软件 26 时, 它使主机脱离虚拟存储模式而使外围设备 10 具有对主机 12 的地址空间的访问。然后主机软件 26 卸载外围设备软件 14 到外围设备板。卸载的软件 14 制订外围设备板 10 内部信号交换, 然后与主机 CPU 28 交换信号。完成了这一开机例程时, 外围设备板将自己设定在缺省模式中, 在该模式中, 视频总线上的图象数据显示在主机指定的窗口中, 并且外围设备准备好通过端口 30-36 录制或播放视频或声频。

一旦系统进入操作, 通过外围设备的二次抽样链路基本上总是活跃的, 将视频数据总线上的一切视频数据转换成可播放的

RGB 格式, 二次抽样成缩小尺寸的图象, 并将像素值存储在显示存储器 44 中。从而, 用户总是能监视主机显示器的二次抽样窗口中的进入或移出的视频数据。彩色空间转换、二次抽样及写入 FIFO 90 同步地继续进行, 主要在视频设备的速率上实时进行。然而, 由于二次抽样链路必须与通过外围设备的其它链路争用诸如系统总线 46 等系统资源, 总线控制电路 42 从二次抽样 FIFO 90 异步传送数据到显示存储器 44。下面讨论解决这些争用中的各种链路的调度交互作用。

注意在数据移动过程中, 主计算机 CPU 28 并不介入, 从而解放 CPU 28 用于其它任务。运行在主机 CPU 上的软件 26 向用户提供若干种选择。通常用户首先从 VTR 16 或另一个源将源视频数据加载到盘 24 上, 以便此后能编辑该视频数据。完成了编辑之后, 便能将压缩的视频从盘拷贝到 VTR 16 上。根据用户命令, 主计算机可指导外围设备停止二次抽样链路, 或者冻结一帧, 或者允许主计算机回收显示存储器用于其它目的。主机 CPU 28 与软件 26 还执行系统监控任务; 例如, 主机能检测外围设备板 10 中的故障, 并能依次复位外围设备板 10 以清除任何不完整或不合理的状态。

当用户要求系统 11 压缩视频数据时, 便将数字化的视频数据提交给视频总线 38, 例如由 VTR 16 与视频输入端口 30, 并被 CODEC 60 使用。CODEC 60 压缩视频数据; 压缩的数据缓存在压缩 FIFO 92 中。总线控制电路 42 从压缩 FIFO 92 中将压缩的视频数据与压缩参数拷贝到主计算机 RAM 50 中。然后将压缩参数与压缩数据写入盘 24 供存储。

视频数据总线与压缩 FIFO 92 之间的编码链路的同步部分基本上由视频 I/O 端口所生成的像素时钟与垂直同步脉冲计时。一旦将压缩的像素存储在压缩 FIFO 92 中, 只要它进行得快到足以防止压缩 FIFO 92 溢出, 其余的处理便可异步地进行。

图 8b 示出系统在压缩编码中的操作。左侧列示出外围设备微处理器 48 采取的步骤, 右侧列示出主机 CPU 28 采取的步骤。参见图 4、5 与 8b, 总线控制电路 42 在外围设备微处理器 48 的一定协助下, 将压缩的视频数据从压缩 FIFO 92 传送到主机 RAM 50 中的盘缓冲器中。总线控制电路 42 从压缩 FIFO 92 中抽取数据字, 而控制逻辑 228 与地址发生器 236 则将数据组成 16 个字的块以供在系统总线 46 上的总线传送。微处理器 48 与地址发生器 236 计算 CODEC 60 生成的可变长度数据包。在各场的开始处, 地址发生器在盘缓冲器中留出 131 个字用于一个数据包的首部区 111 - 115。微处理器 48 计数各 RAM 缓冲器中所用的字, 并在一个缓冲器完成与准备好写入盘 24 时发信号通知主机 CPU 28。然后微处理器 48 将下一缓冲器的地址提供给地址发生器 236。

数据传送继续进行到压缩 FIFO 92 指示它已空为止。

当传送最终顺利进行到抽空该 FIFO 时, 外围设备便释放总线(或启动一个诸如二次抽样等低优先级传送), 并休眠直到压缩 FIFO 又一次成为不空为止。

在各场的结束处, 微处理器 48 从 CODEC 60 得到该帧的压缩数据的字数的计数 1count, 及用于编码该场的参数值。总线控制电路 42 向主机通报 1count 值与编码参数, 后者将 1count 值与编码参数放入该场的数据包的首部的 131 个字中, 并通报给主机

CPU 28 完成了该缓冲器并能倾泻到盘 24 上。

一旦将压缩的视频数据（与相关联的数字音频样本）存储在 RAM 中，主机 CPU 28 便调度将它们倾泻到盘上。调度这一操作使其处于外围设备的前面并保持提供可利用的缓冲器，从而使倾泻流永远不会密集到将外围设备挤出总线。

当用户要求解压缩时，例如播放前面压缩的视频数据的一个剪辑部分，主机微处理器 28 与总线控制电路 42 通过请求来自主计算机的盘 24 的数据而承担保持解压缩 FIFO 94 充满的责任；下面将讨论这一过程。将数据送至 CODEC 60 在那里将它们解压缩并作为数字视频提交在视频总线 38 上。

再参见图 6，对于它要播放的各帧，外围设备微处理器 28 发送一个“PT _ VideogFrameRequest”或“PT _ AudioFrameRequest”消息包到主机，用“帧”项中所指示的时间印记 ID 请求该帧。外围设备排队起这些帧请求至足够长，使得主机的缓冲器填充过程保持在外围设备的缓冲器抽空过程的前头。主机将该消息翻译成对 Macintosh 盘机(disk engine) 的一个请求。一旦盘机将数据放入了 RAM 50 中，主机 CPU 28 便通过命令与状态队列 64 将一个“PT_ VideoFrameDescriptor”或“PT_ AudioFrameDescriptor”包发送回外围设备。该包指示已读出数据的主机 RAM 50 中的地址及数据计数。当微处理器 48 与总线控制电路 42 已将数据从缓冲器抽到解压缩 FIFO 94 及音频输出 FIFO 98 中时，外围设备便将包的“类型”改变到“PT_ VideoFrameDiscard”或“PT_ AudioFrameDiscard”并通过命令与状态队列 64 将包送回主机，中断主机 28 通知它检验该队列。

主机将被丢弃的存储器放回到其自由存储池中。

解压缩操作可指定待解压缩的为一个单一的帧（两个场）或者解压缩要继续到外围设备板 10 从主机 28 接收到一条停止命令为止。单个帧模式对于压缩静止图形是有用的。

根据一条停机命令，状态机 100 通过允许 CODEC 60 完成正在其上操作的任何数据的解压缩及防止加载下一个场的压缩数据而有条不紊地关闭 CODEC 60。

微处理器 48 负责给予外围设备板上的任务优先权。二次抽样链路基本上总是活跃于将视频数据总线 38 上的视频数据显示在主机的显示器 18 上，但是通常通过 CODEC 链路的任何数据移动具有高于观看操作的优先权：带到盘拷贝操作中的数据损失实际上是不可送的，因此应尽可能防止。反之，允许二次抽样链路延迟 CODEC 链路——即从视频显示中略去一些帧——则是没有永久影响的故障。外围设备的微处理器通过强制这一优先权负责维护拷贝流的完整性。微处理器 48 将卸载 FIFO 90、92、94 的速率控制为主计算机的系统总线 46 的饱和速率上。从而，系统能有选择地选择将视频数据送至显示存储器的速率，借此改变出现在显示器上的二次抽样视频的帧速率。这一流控制是由外围设备微处理器 48 实现的：它监视 CODEC FIFO 92、94、音频链路上的 FIFO 及二次抽样 FIFO 90 的填充程度，并利用这一信息来控制外围设备总线的事务。例如，如果 CODEC FIFO 92、94 之一趋于充满，微处理器 48 便挂起总线控制电路的抽空二次抽样 FIFO 90 的操作并立即关注抽空 CODEC FIFO 92、94。实际上，接近实时地更新二次抽样窗口，延迟只限于二至四帧。

参见图 8a 中所示的中心循环, 外围设备的微处理器 48 监视 FIFO 并指导数据传送。微处理器 48 使 FIFO 能够充分填充以便高效地以块传送数据。例如, 为了在系统总线 46 上传送, 二次抽样 FIFO 90 将组成 16 个 32 位宽的字的块。块间间隙可用于其它操作来抢先于二次抽样视频数据流, 诸如 CODEC 拷贝操作、声道拷贝操作、或动态 RAM 刷新周期, 其结果是显示流是完全异步的—二次抽样窗口中的显示常常在两帧的显示部分之间分裂一秒的几分之一, 这通常是肉眼不能辨别的一个短时间。在 CODEC 流非常满的时期内, 例如紧接在从容易压缩的素材改变到难于压缩的素材 (诸如到含有多得多的清晰的边缘的一个新场景) 的一个场景之后, 总线控制电路 42 挂起卸载二次抽样 FIFO 90 持续若干帧直到拷贝流上的数据量减退为止。在这一期间二次抽样 FIFO 90 可能溢出。此时外围设备的微处理器 48 将排空二次抽样 FIFO 90, 等待下一帧或场的边界, 然后重新启动二次抽样视频流。

微处理器 48 与总线控制电路 42 合作在外围设备板的 FIFO 90、92、94 与主机 RAM 50 之间高效地传送数据。微处理器 48 与总线控制电路 46 之间的合作的一个第一实例便是从 CODEC 60 的输出拷贝压缩的视频数据到主机 RAM 50。微处理器 48 监视压缩 FIFO 92 的填充程度、主机 RAM 50 中的环形缓冲器中剩下的空间量、以及在一个场结束前 CODEC 中剩下的数据量, 并发布命令给总线控制电路 42 传送指定数目的字到/从一个 FIFO 从/到主机 RAM 50 的一个特定的地址。为了减少总线通信量, 总线控制电路 42 将来自微处理器 48 的请求分成较小的块, 通常每块

16 个 32 位字的数据。对每一块，总线控制电路 42 从二次抽样 FIFO 90 或压缩 FIFO 92 中抽取数据，并通过系统总线 46 将它们写到显示存储器 44 或主机 RAM 50 中的适当单元中。

第二实例为从二次抽样器 80 的输出将二次抽样数据拷贝与分解隔行扫描到显示存储器 44 中。(水平扫描行是通过彩色空间转换器、二次抽样器及二次抽样 FIFO 成隔行次序的。)总线控制电路 42 向二次抽样 FIFO 90 逐个地请求编码像素值的 32 位宽数据直到得到一个总线传输块为止，通常为每块 16 个 32 位字，然后以块传输这些像素值。在一个扫描行或场的结束处，总线控制电路 42 中断微处理器 48，后者依次执行地址算术运算来计算下一个扫描行像素在显示存储器 44 中的正确地址。计算新的扫描行地址以便通过将二次抽样数据的各扫描行引导到显示存储器 44 中的正确行上而分解隔行扫描一帧的场。微处理器 48 将这一地址及下一扫描行中的像素数目给予总线控制电路 42。

由于压缩视频的“密度”变化，而微处理器 48 能够请求总线控制电路 42 传送数据的调度也是变化多端的：某些场将压缩成相对少量的压缩数据，而某些场则相对地大。总线主技术改进数据在主计算机 12 与外围设备板 10 之间传送的速度与可靠性这两者，识别为实现正确的数据排队及在系统总线 46 上的移动而必须掌握的不同数据率。

本发明的其它实施例也在权利要求书的范围内。

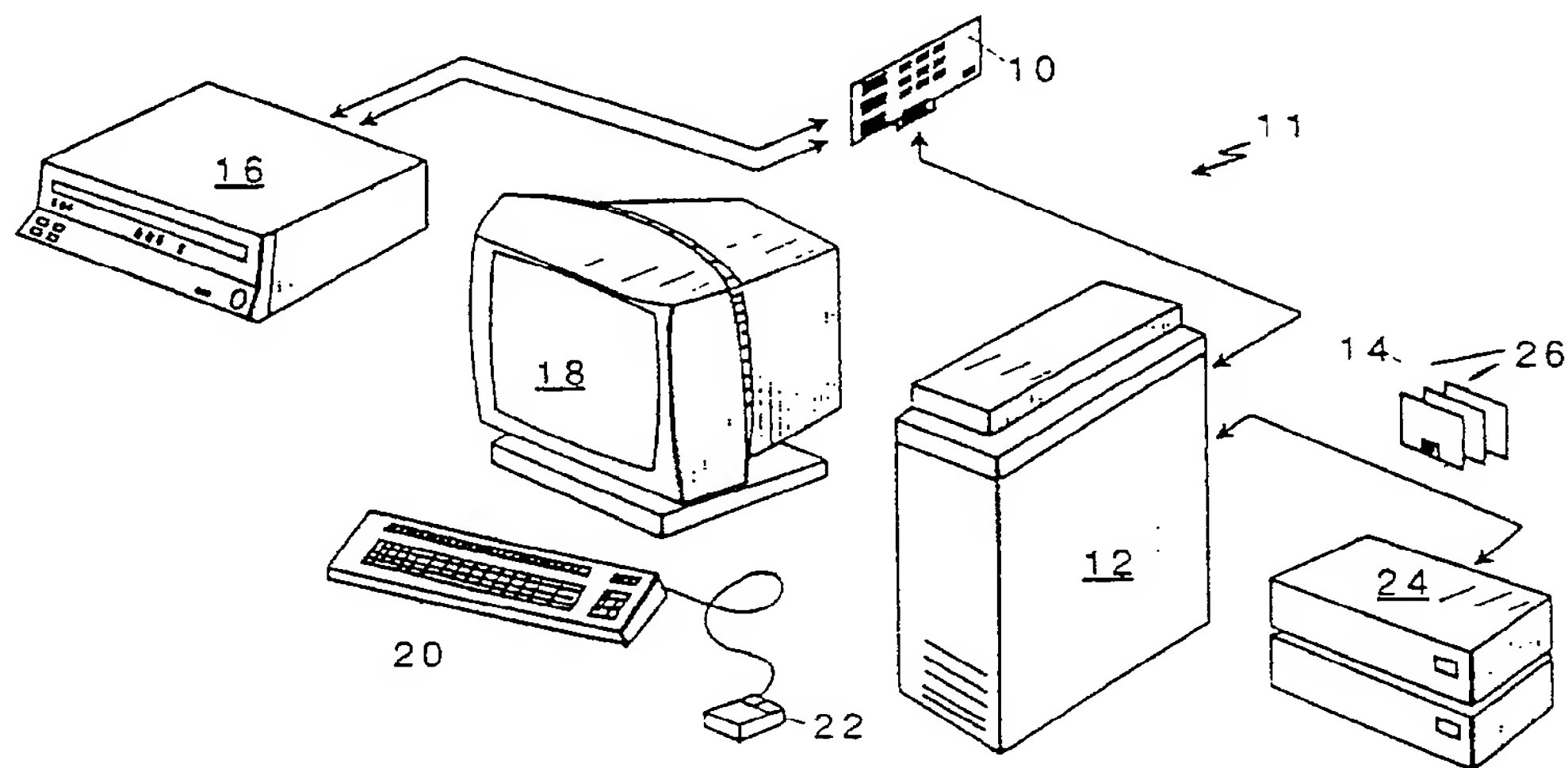


图 1

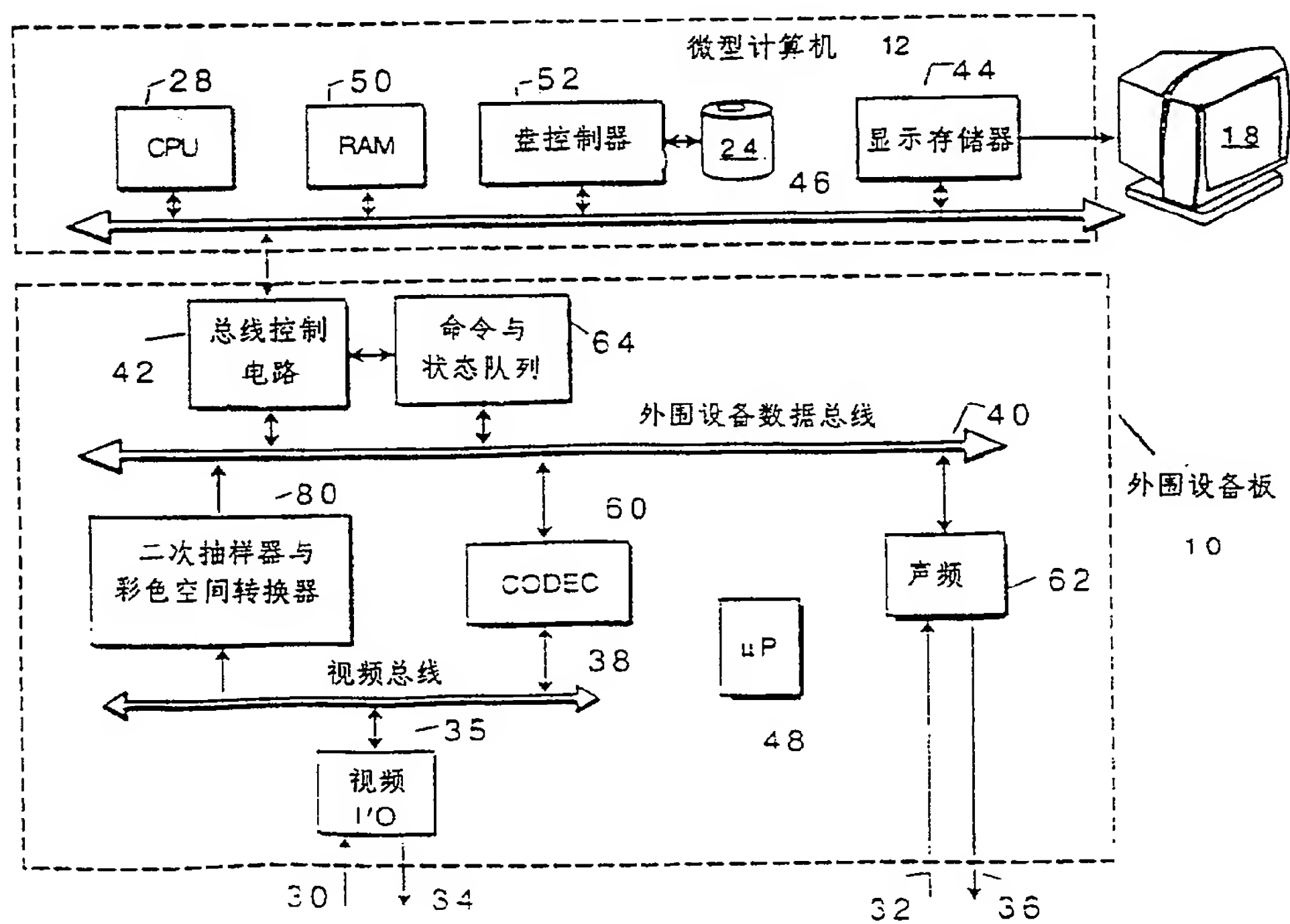


图 2

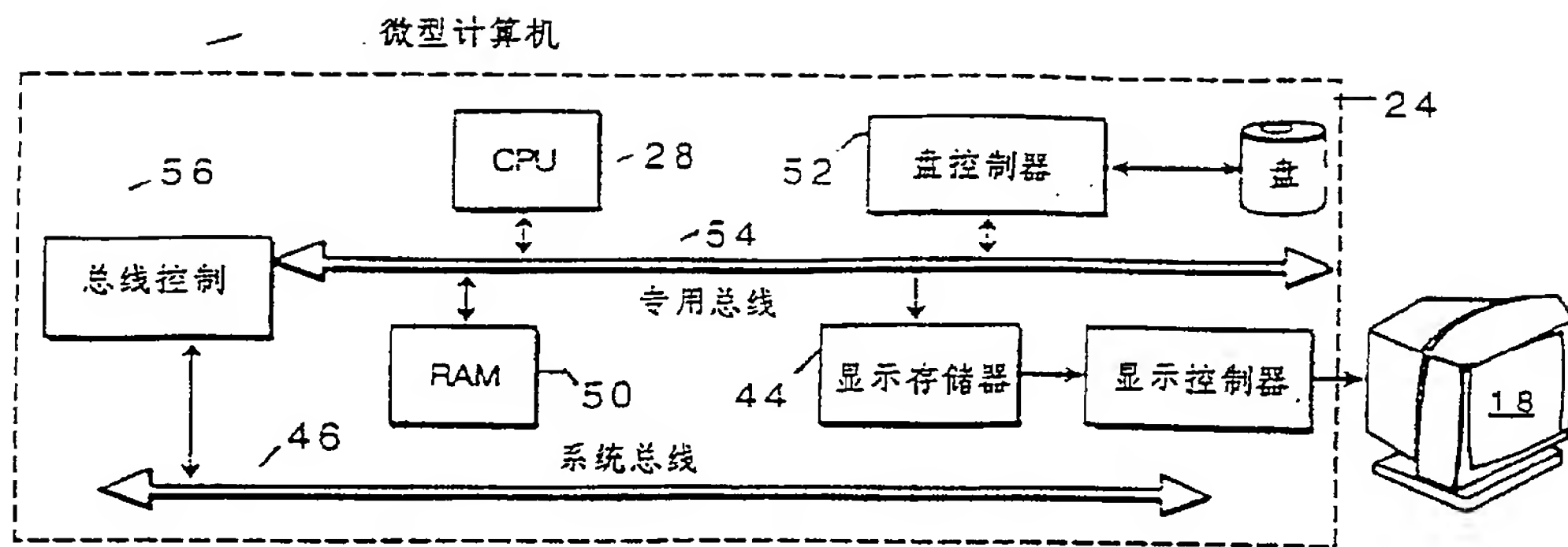


图 3

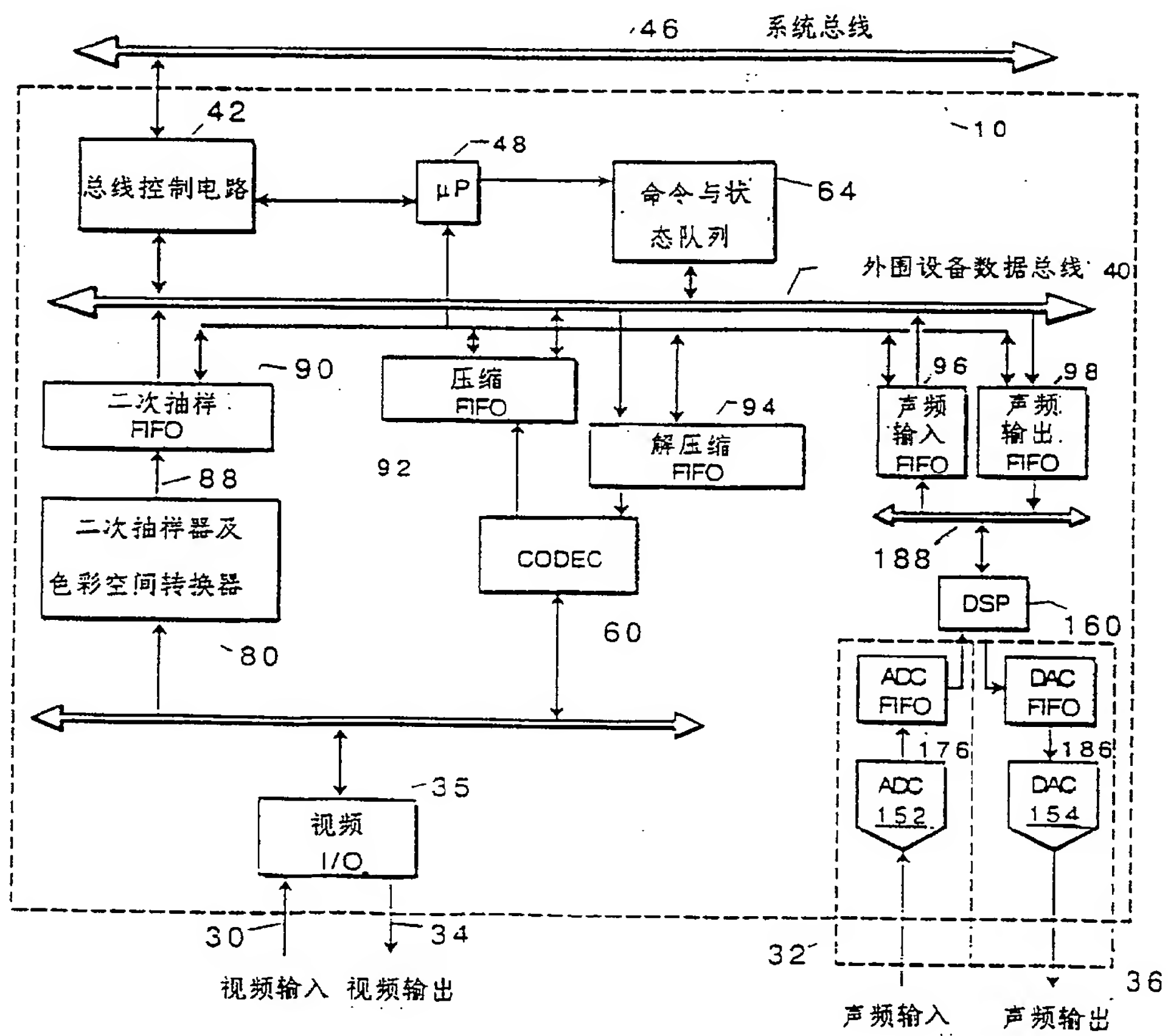


图 4

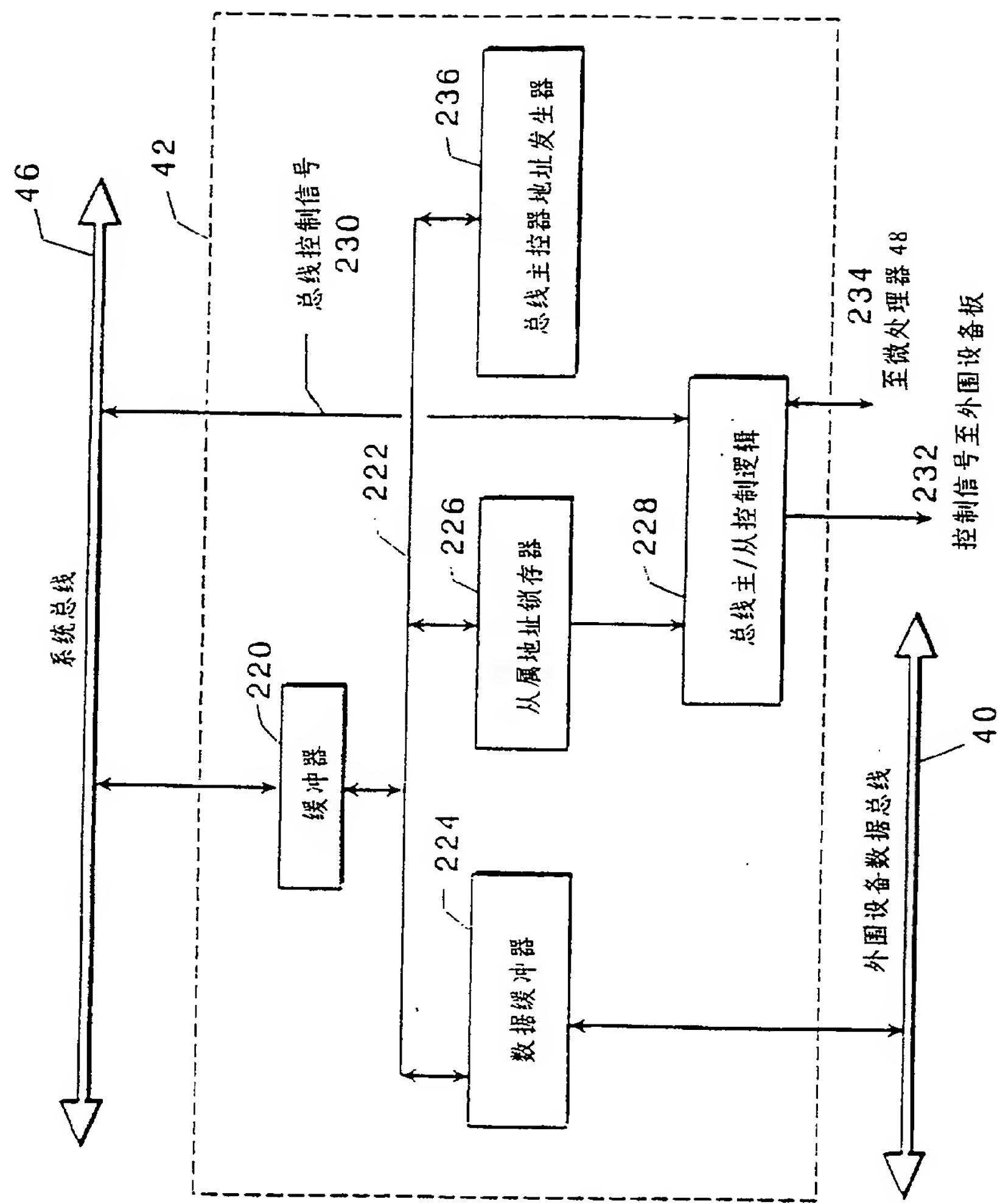


图 5

```

enum Packet_Type {
    ...
    PT_VideoFrameRequest,
    PT_AudioFrameRequest,
    PT_VideoFrameDiscard,
    PT_AudioFrameDiscard,
    PT_PlaySetup,
    PT_StopPlay
    ...
};

enum Subsample_Mode_t
(
    k_Off,                // 停止在帧尾
    k_Halt,               // 立即停止二次抽样
    k_One_Frame,          // 只二次抽样一帧便停止
    k_Half_Speed,         // NTSC = 15 PAL = 12.5 帧/秒
    k_Full_Speed          // NTSC = 29.97 PAL = 25 帧/秒
);

struct message_packet {
    unsigned char    length;    // 以 32 位字表示的包长度
    Socket_Number    src;      // 源插槽号
    Socket_Number    dst;      // 目的地插槽号
    enum Packet_Type type : 8;  // 区分联合
    long             seqNum;    // 序号
    union {
        struct frame_request {
            long frame;        // 请求的帧—时间印记
        };
        struct frame_descriptor {
            long frame;        // 帧 ID
            long address;      // 主机 RAM 中的缓冲器地址
            short f0Count;     // 帧大小
        };
        struct packet_window_location {
            long address;      // 左上象素的地址
            long row_bytes;    // 行间字节偏移
            enum Subsample_Mode_t mode : 16;
            short height;      // 二次抽样图像中的行数
            short width;       // 每个二次抽样中的象素数
        };
    };
    ... 信息包的其它变型
};
};

```

图 6

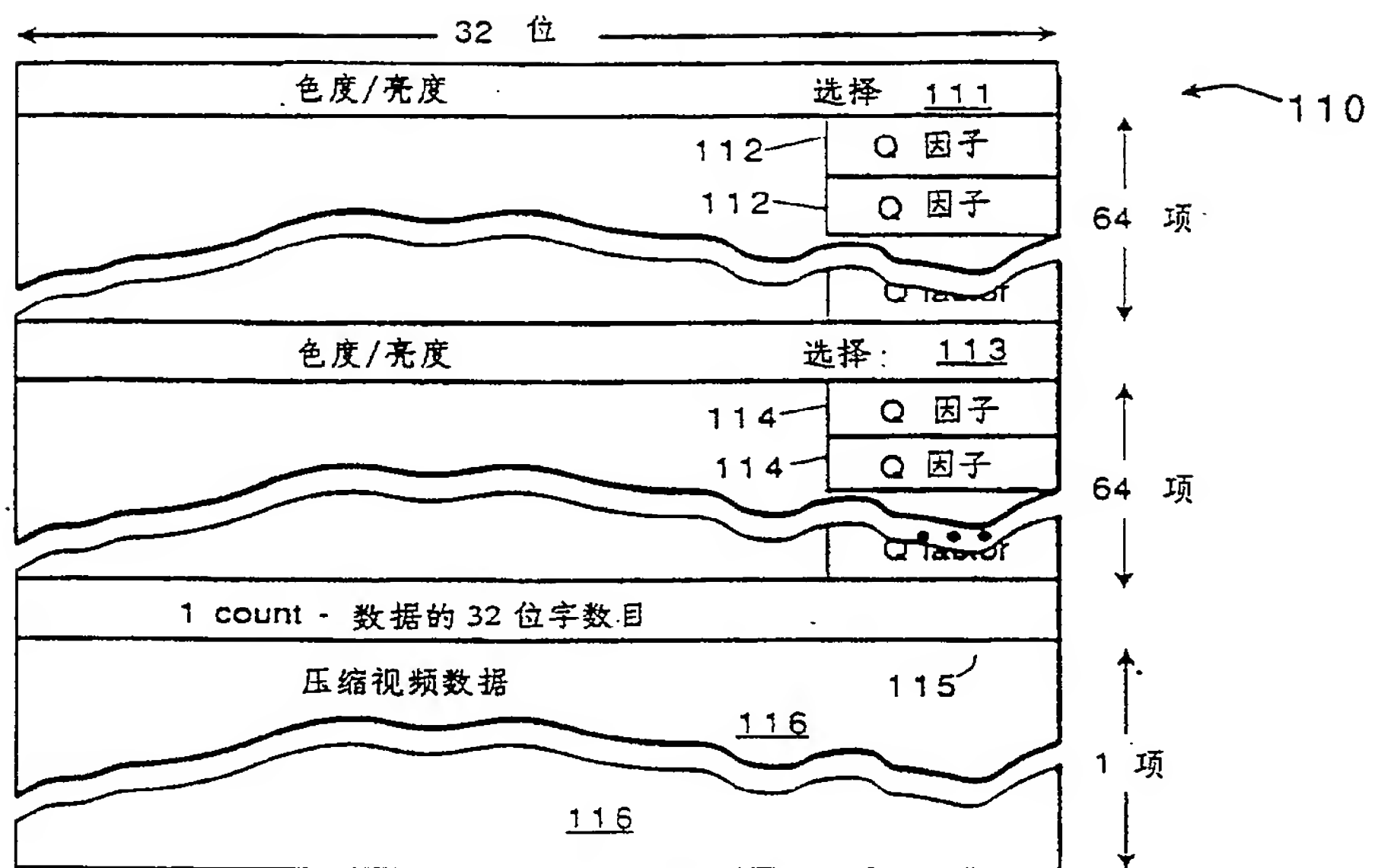


图 7

初始化：

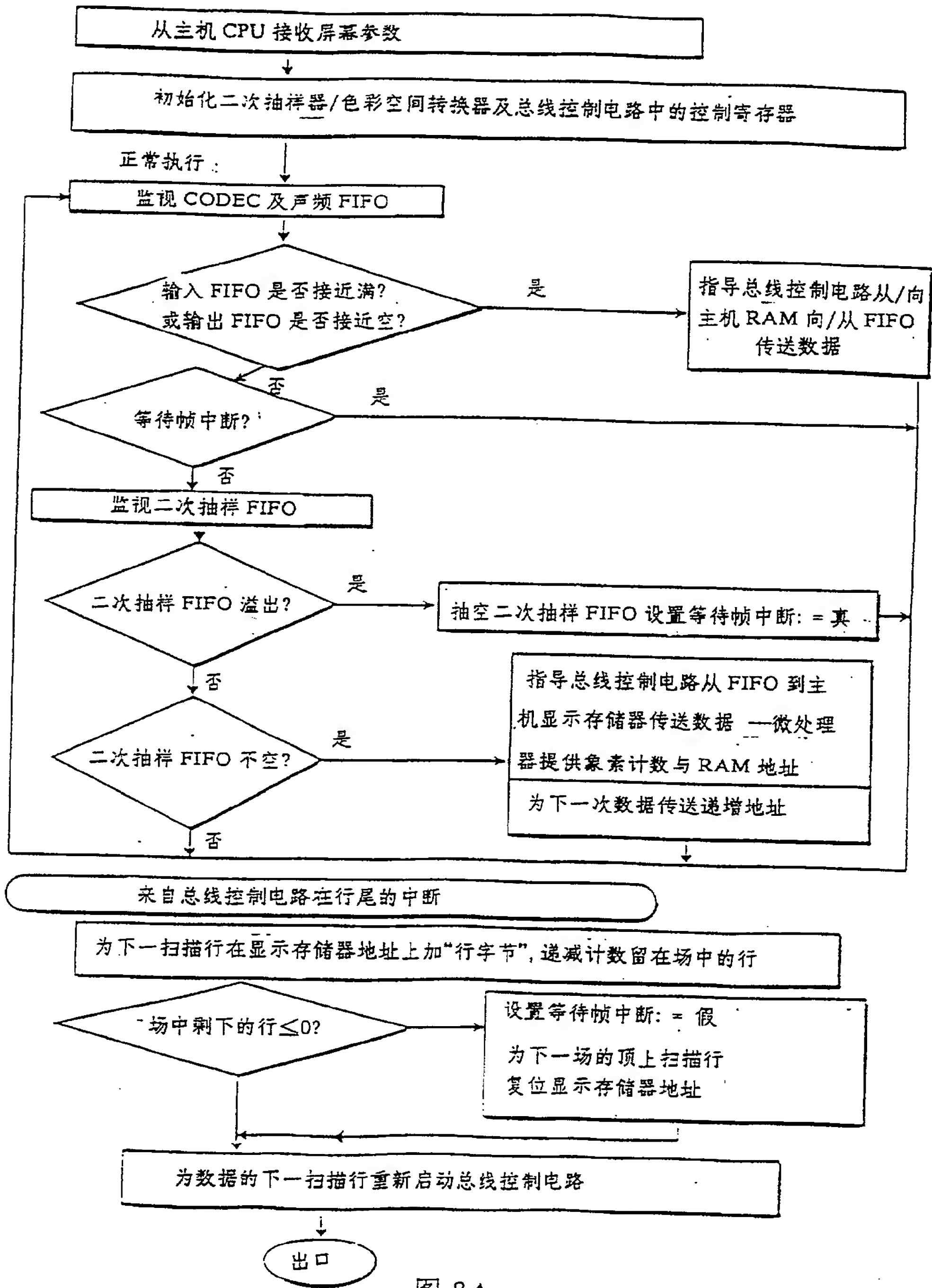


图 8A

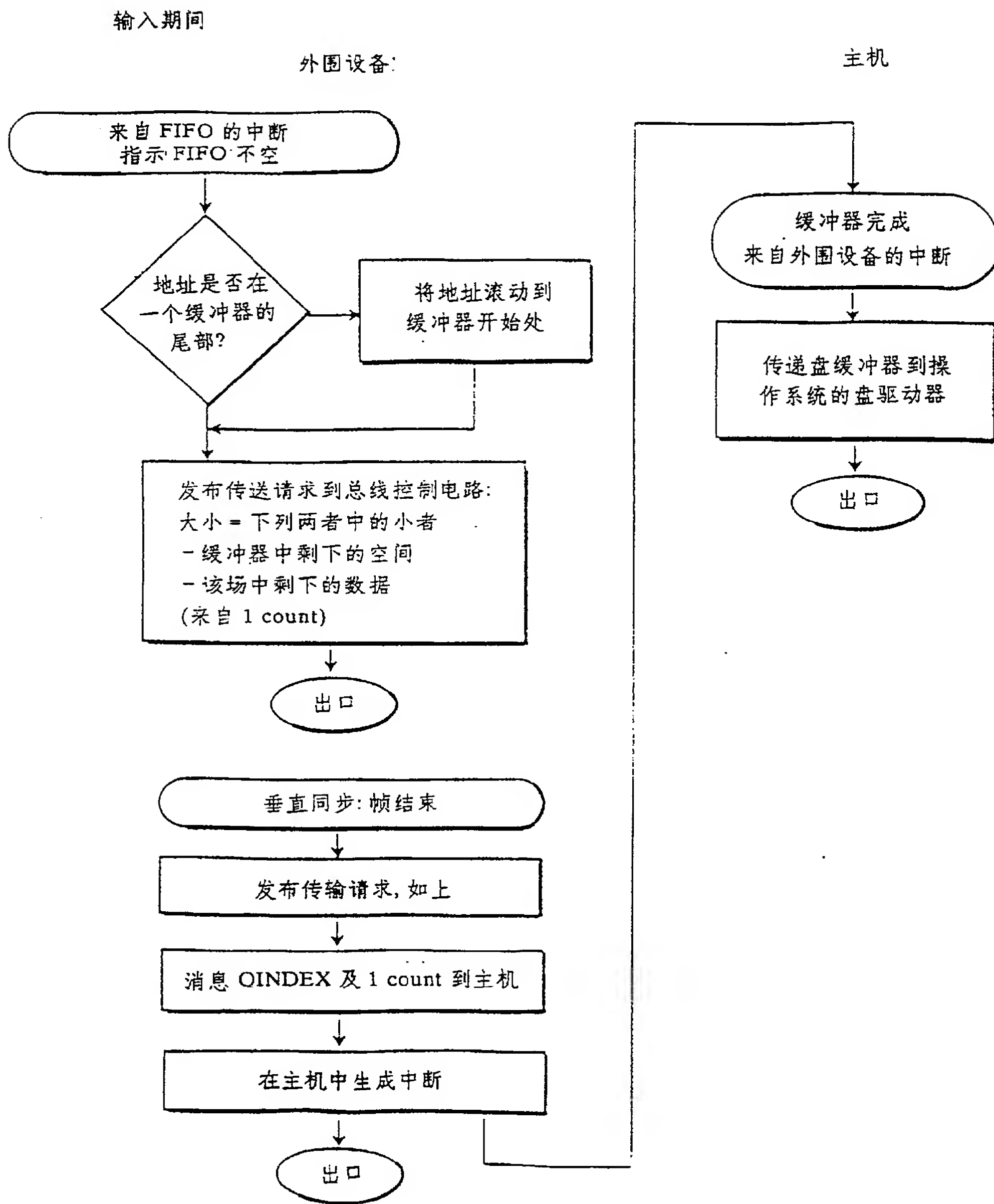


图 8B